

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04335769 A**(43) Date of publication of application: **24.11.92**

(51) Int. Cl.

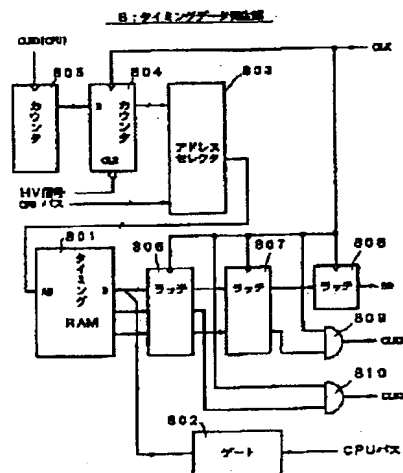
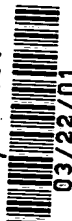
H04N 1/393
G06F 15/66
(21) Application number: **03135665**(22) Date of filing: **10.05.91**(71) Applicant: **KONICA CORP**
(72) Inventor:
NIITSUMA TETSUYA
HASEBE TAKASHI
TANAKA KAZUYOSHI
WASHIO KOJI
YABE TAKASHI
(54) **PICTURE PROCESSOR**

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To prevent a stripe pattern in the subscanning direction from being generated due to loss of correlation of a timing data by using an output of a random number generating means as a preset data of an address counter.

CONSTITUTION: A timing data in response to a magnification set by the operator is stored in a timing RAM 801 whose address is designated by an address data entered from a CPU to an address selector 803 via a gate 802. Then the selector 803 selects a data outputted from an address counter 804 and sends the result to the RAM 801 as an address data. A counter 804 is cleared by an HV signal for each main scanning of picture read and a count at that point of time of a counter 805 is preset. Thus, the preset value at the start of the count of the counter 804 is at random different from each time. Thus, the address designation of data read of the RAM 801 differs from each scanning, the correlation at each scanning is lost thereby preventing occurrence of moire.


J1036 U.S. PTO
09/016856


03/22/01

1

【特許請求の範囲】

【請求項1】 入力画像の画素クロックで動作し、且つ該入力画像の主走査毎にクリアされてデータがプリセットされるアドレスカウンタと、該アドレスカウンタによりアドレスを指定されて拡大／縮小の画像処理用のタイミングデータが読み出されるタイミングデータメモリとを具備する画像処理装置において、乱数発生手段を設け、該乱数発生手段の出力データを上記アドレスカウンタのプリセットデータとしたことを特徴とする画像処理装置。

【請求項2】 上記乱数発生手段を、上記画素クロックと異なる周波数で動作するカウンタで構成したことを特徴とする請求項1に記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、入力した画像信号に拡大／縮小の処理を加える画像処理装置に関するものである。

【0002】

【従来の技術】 画像処理装置による直線補間法を利用した拡大／縮小処理は次のようにして行われる。まず、原稿を画素クロック（以下、同期クロックという。）でサンプリングして得たオリジナル画像データDの位置（画素位置）D0～D4の濃度データが、図9に示すようにD0=0（16進、以下同じ）、D1=F、D2=F、D3=0、D4=0であったとする。

【0003】 次に、拡大するときには画素データが増加するので、拡大率が例えば160%のときは、作成すべき画像データつまり補間データSのサンプリングピッチが、オリジナル画像データDのサンプリングピッチに対して $100/160=0.625$ と短くなる。よって、基準位置（図9の左端）からピッチが0.625毎の位置S0～S6に拡大画像の画素データとなるべき補間データSを作成することになる。この作成に当たっては、左端S0についてはオリジナル画像データDと同一濃度であるが、次の位置S1については、オリジナル画像データDの位置D0の濃度（0）と位置D1の濃度（F）を直線で結んだラインとサンプリング位置0.625から上に延ばした線の交差する点の濃度（9）とする。次のサンプリング位置以降についても順次同様の方法により濃度（F）、（F）、（8）、（0）、（0）とする。このように、補間データSはその作成すべきサンプリング位置の両側のオリジナル画像データDの濃度を元に直線補間して作成される。

【0004】 一方、図10は80%の縮小処理のときの説明図である。この縮小処理では、画素データが減少するので、補間データSのサンプリングピッチが $100/80=1.25$ と長くなり、基準位置からピッチが1.25毎の位置に補間データSの位置S1～S3がくる。この位置の画像濃度は、上記拡大処理のときと同様にサ

2

ンプリング位置の両側のオリジナル画像データDを元に直線補間により決定する。

【0005】 以上のようにオリジナル画像データDの濃度から新たに補間データSの濃度を作成して拡大や縮小を行う方法においては、オリジナル画像サンプリング用の同期クロック、拡大や縮小用の変倍処理用のクロックを、図11に示すように、タイミングRAM1から出力している。このタイミングRAM1には、オペレータが変倍の倍率を設定すると、その変倍の処理に先だって、その倍率に対応したタイミングデータがCPUからセットされる。そして、アドレスカウンタ2によって、主走査毎にそれらが順次繰返して読み出される。

【0006】

【発明が解決しようとする課題】 このアドレスカウンタ2は、主走査毎にHV信号（水平同期信号）によりクリアされ、このクリア毎にデータ端子（D）から一定のプリセットデータ（例えば0）を取り込んで、そこからカウントを進行させている。この結果、拡大や縮小用の画素サンプリング位置は、各主走査毎に、副走査方向に同一位置となる。よって、拡大／縮小処理で得た補間データを記録用紙3にプリンタで画像形成した際、図12に示すように、副走査方向（紙送り方向）にモアレといわれる縞模様4が発生する。これは、網点を利用したハーフトーンで目立ち、特に101%拡大や99%縮小等のように微少拡大／縮小の場合には、直線補間する際に利用するオリジナル画像データDが不連続となる部分があるので、この部分で縞模様が生じる。

【0007】 本発明の目的は、このようなモアレが発生しないようにした画像処理装置を提供することである。

【0008】

【課題を解決するための手段】 この目的を達成するために本発明は、入力画像の画素クロックで動作し、且つ該入力画像の主走査毎にクリアされてデータがプリセットされるアドレスカウンタと、該アドレスカウンタによりアドレスを指定されて拡大／縮小の画像処理用のタイミングデータが読み出されるタイミングデータメモリとを具備する画像処理装置において、乱数発生手段を設け、該乱数発生手段の出力データを上記アドレスカウンタのプリセットデータとしたものである。

【0009】

【実施例】 以下、本発明の実施例について説明する。図2は画像処理装置の変倍回路全体の構成図である。原稿画像を読み取ってデジタル化した画像データは、入力バッファ部5に入力して処理される。この入力バッファ部5は、拡大処理時に画像データの数が増大しても処理速度が高くないようにするために設けられる。

【0010】 そして、この入力バッファ部5から出力する画像データDATA1（オリジナル画像データD）は補間部6に出力して、ここで図9、図10で説明した直線補間法により縮小／拡大の処理が行われる。

3

【0011】この補間部6から出力する補間データDATA2（補間データS）は出力バッファ部7に出力して、縮小処理時において画像データが縮小することにより生じる無効データが処理される。

【0012】8はCPUクロックCLK0や同期クロックCLKを入力してタイミングデータ（CLK2、CLK3等）を発生するタイミング発生部である。

【0013】図3は入力バッファ部5の構成を示す図である。501、502は画像読み取りの主走査毎に反転するトグル信号によって交互にゲートを開くバッファであって、そのバッファ501、502から出力する入力画像データは入力バッファメモリ503、504に交互に書込まれる。そして、この入力バッファメモリ503、504は交互に読み出される。つまり、一方が書込みモードのとき他方が読出しモードとなり、リアルタイム処理が行われる。505は入力バッファメモリ503、504の内の現在読出し側のメモリの出力データを選択するデータセクタである。506、507はクロックセクタであって、書込み用クロック（同期クロック）CLKと読出し用クロックCLK2の一方をトグル信号により交互に選択して、アドレスカウンタ508、509に入力させる。よってこのアドレスカウンタ508、509はその一方がクロックCLKをカウントするときは、他方がクロックCLK2をカウントする。そして、このアドレスカウンタ508、509の内の、クロックCLKをカウントする側は入力バッファメモリ503、504の内の書込み側にアドレスを送り、クロックCLK2をカウントする側は読出し側にアドレスを送る。これらアドレスカウンタ508、509はHV信号でクリアされる。510、511はトグル信号を反転させるためのインバータである。

【0014】上記した読出し用クロックCLK2の周波数は変倍倍率によって決り、拡大のときはその倍率をnとすると、 $CLK2 = CLK/n$ となる。但し、縮小のときは $CLK = CLK2$ である。よって、この入力バッファ部5においては、書込みクロックの周波数が最高でも同期クロックCLKの周波数に留まる。

【0015】図4は出力バッファ部7の構成を示す図である。701、702はトグル信号で交互にゲートを開閉するバッファ、703、704は交互に書込み／読出しを行う出力バッファメモリ、705は出力バッファメモリ703、704の一方からのデータを選択するデータセクタ、706、707はトグル信号で交互に書込み用クロックCLK3と読出し用クロックCLK（同期クロック）を選択するクロックセクタ、708、709は出力バッファメモリ703、704に書込み／読出しのアドレスデータを送るアドレスカウンタ、710、711はインバータである。

【0016】この出力バッファ部7は、前述した入力バッファ部5と同様な構成であり、動作も同様である。書込

4

み用クロックCLK3は、変倍倍率によって決り、縮小のときはその倍率をnとすると、 $CLK3 = CLK/n$ となる。但し、拡大のときは $CLK = CLK2$ である。よって、この出力バッファ部7においても、読出しクロックの周波数が最高でも同期クロックCLKの周波数に留まる。

【0017】図5は補間部6の構成を示す図である。601、602は前述した読出し用クロックCLK2で動作するラッチであり、一方のラッチ601で保持するオリジナル画像データDは他方のラッチ602でラッチするオリジナル画像データDに対してCLK2の1クロック分だけ遅れたデータとなる。つまり、オリジナルサンプリング点のデータ（例えば、図9、図10のD0、D1、D2、・・・・・・）の隣接する2個のデータが両ラッチ601、602で保持される。603は変倍の補間テーブルが格納された補間ROMであって、両ラッチ601、602から出力するオリジナルデータと、ラッチ604から出力する補間選択データSD（変倍倍率によって決定される）とから、補間データS（例えば図9、図10のS0、S1、S2、・・・・・・に相当する。）が決定されて出力する。この補間データSは、ラッチ605で保持されて出力データDATA2として出力する。上記ラッチ604、605は同期クロックCLKで動作する。

【0018】ここで、処理タイミングの概略を説明する。倍率が1のときは、図6に示すように、入力バッファ部5における読出しクロックCLK2、出力バッファ部7における書込みクロックCLK3が、同期クロックCLKと同一周波数である。よって、入力するオリジナル画像データDは入力バッファメモリ503、504から書込みと同じ周波数で交互に読み出されて補間部6に入力し、この補間部6で得られた補間データS（このときは、入力画像データDと同じ）が出力バッファ部7に入力する。そして、出力バッファ部7においても書込みと同じ周波数で読出しが行われる。つまり、倍率が1のときは入力バッファ部5、出力バッファ部7は、各々で1走査分だけの遅れを作成するのみである。

【0019】これに対して、倍率が例えば2倍のときは、図7に示すように、入力バッファ部5における読出しクロックCLK2が同期クロックCLKの1/2の周波数に低下し、出力バッファ部7における書込みクロックCLK3は同期クロックCLKと同一周波数のままである。よって、入力バッファメモリ503、504からのオリジナル画像データDの1回の読出しサイクル中に、補間部6では前回読み出したオリジナル画像データDとで決る補間データSを2個作成して出力する。つまり補間データSは同期クロックCLKの1サイクル当たり1個となる。このように、1倍以上の倍率が選択された場合でも、入力バッファメモリ503、504の読出しクロックCLK2の周波数を下げることによって拡

5

大処理を行うようにしたので、クロックの最大周波数は同期クロックの周波数に留められる。よって、回路素子に特別動作速度の速いものが要求されることはない。

【0020】一方、倍率が例えば $1/2$ のときは、図8に示すように、入力バッファ部5における読出しクロックCLK2は同期クロックCLKと同一周波数であるが、出力バッファ部7における書込みクロックCLK3が同期クロックCLKの $1/2$ に低下する。よって、補間データSを出力バッファ部7の出力バッファメモリ703、704に書込むときのタイミングが2サイクルに1回となるので、余分な画像データが間引かれて、そのメモリ703、704に一時記憶されることになる。なお、このメモリ703、704の読出しは同期クロックで行われる。

【0021】図1は本発明の要部であるタイミングデータ発生部8の構成を示す図である。801はタイミングRAMであり、処理すべき変倍倍率に応じたタイミングデータ(SD、CLK2、CLK3を決めるデータ)がCPUバスからゲート802を介して格納されるもので、このときのアドレス指定は、同様のCPUバスからアドレスセレクト803を経由して行われる。804は読出し用のアドレスカウンタであって、HV信号が入力する毎にカウンタ805(乱数発生手段)からのカウントデータをプリセット値として読み込み、同期クロックCLKでカウント動作を行う。カウンタ805のカウント動作は、同期クロックとは異なる周波数のクロック、例えばCPUの動作クロックCLK0で行われる。また、806~808は同期クロックCLKで動作するラッチ809、810はアンドゲートである。

【0022】このタイミングデータ発生部8では、まず、CPUからアドレスセレクト803を経由して入力するアドレスデータによってアドレス指定されたタイミングRAM801に、オペレータが設定した変倍倍率に応じたタイミング用データが、同CPUからゲート802を経由して格納される。

【0023】そしてこの後、アドレスセレクト803がアドレスカウンタ804から出力するデータを選択しアドレスデータとしてタイミングRAM801に送る。このアドレスカウンタ804は画像読み取りの1主走査の毎にHV信号によってクリアされ、同時にカウンタ805からその時点のカウント値がプリセットされる。従って、アドレスカウンタ804のカウント開始時のプリセ

6

ット値が、毎回異なったランダム値となる。このため、タイミングRAM801のデータ読出しのアドレス指定が主走査毎に異なることになり、補間選択データSDの値、クロックCLK2、CLK3により決るサンプリング位置がスキャン毎に異なって来る。

【0024】従って、拡大/縮小時のサンプリング位置が、アドレスカウンタ804に一定のプリセット値を設定する場合は一定となっていた(従来の場合)ものが、ここではランダムとなり、走査線毎の相関がなくなる。このため、従来では発生していた副走査方向の縞模様が、発生しなくなる。つまり、モアレの発生が防止できる。

【0025】

【発明の効果】以上から本発明によれば、タイミングデータ発生部で得られるタイミングデータが、主走査毎に異なったタイミングとなり相関を持たなくなるので、副走査方向の縞模様が発生しなくなるという利点がある。

【図面の簡単な説明】

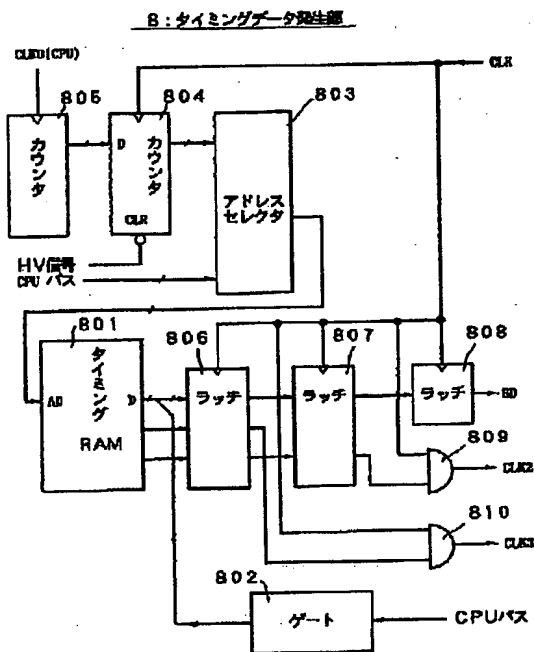
- 【図1】 本発明の一実施例の画像処理装置の変倍回路のタイミングデータ発生部の概略構成図である。
- 【図2】 同変倍回路の全体の概略構成図である。
- 【図3】 同変倍回路の入力バッファ部の概略構成図である。
- 【図4】 同変倍回路の出力バッファ部の概略構成図である。
- 【図5】 同変倍回路の補間部の概略構成図である。
- 【図6】 変倍倍率1のときのタイミングチャートである。
- 【図7】 変倍倍率2のときのタイミングチャートである。
- 【図8】 変倍倍率 $1/2$ のときのタイミングチャートである。
- 【図9】 拡大処理の原理説明図である。
- 【図10】 縮小処理の原理説明図である。
- 【図11】 従来のタイミングデータ発生部の概略構成図である。

【図12】 記録用紙に現れたモアレの説明図である。

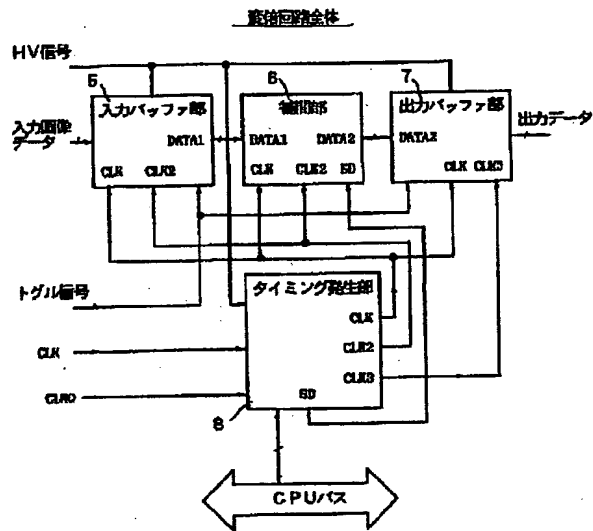
【符号の説明】

- 1:タイミングRAM、2:アドレスカウンタ、3:記録用紙、4:モアレ、5:入力バッファ部、6:変倍部、7:出力バッファ部、8:タイミングデータ発生部。

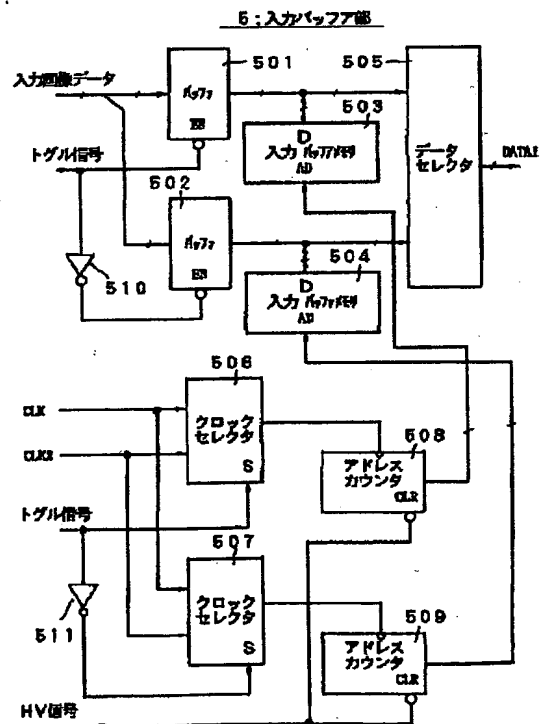
【図1】



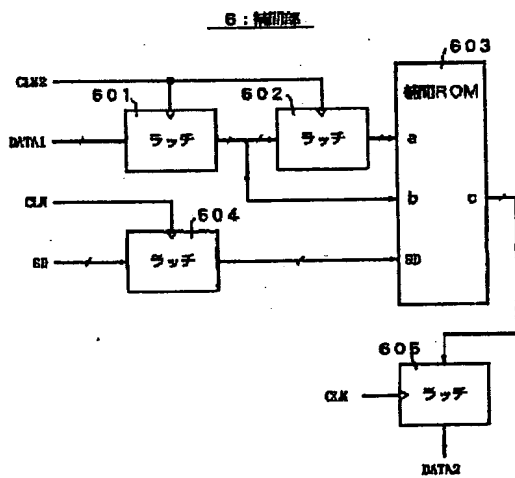
【図2】



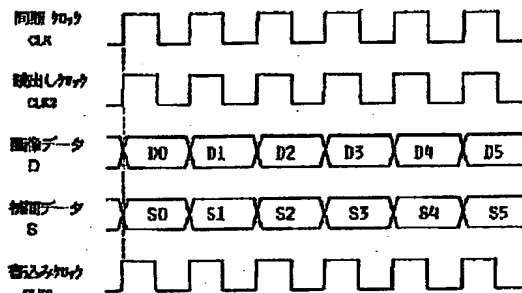
【図3】



【図5】



【図6】



同期クロック
CLK

読み出しクロック
CLK2

画像データ
D

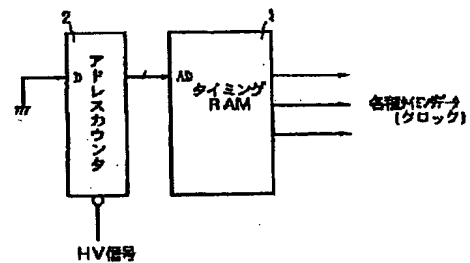
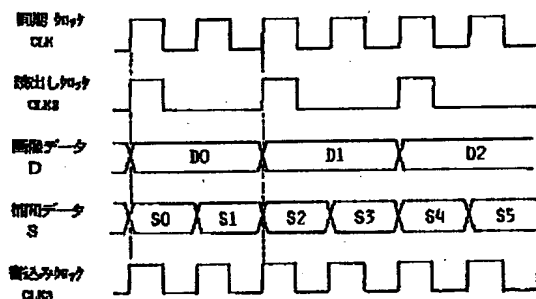
制御データ
S

書き込みクロック
CLK3

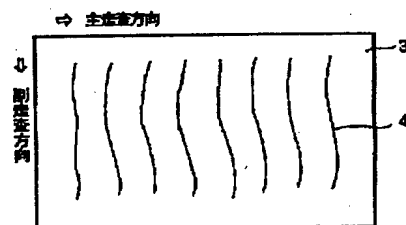
D0 D1 D2 D3 D4 D5

S0 X S1 X S2 X

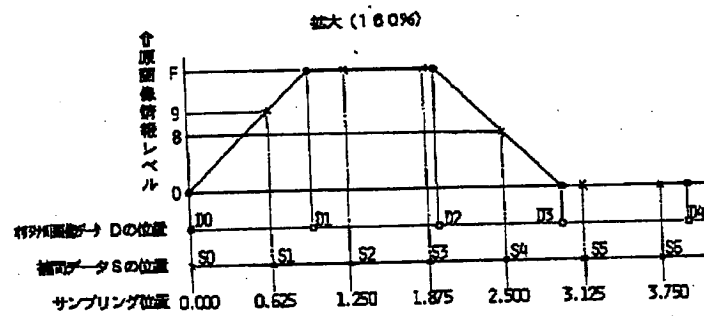
【図7】



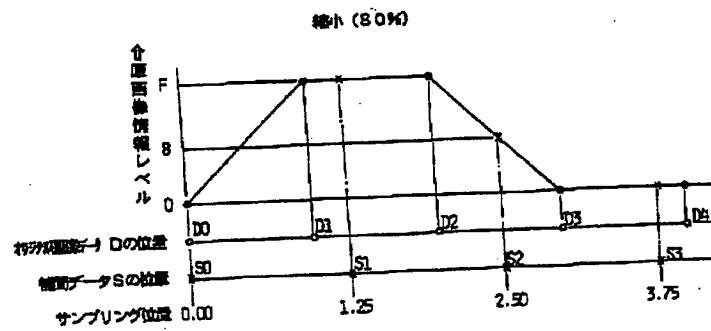
【圖 12】



【図9】



【図10】



フロントページの続き

(72)発明者 鷺尾 宏司
東京都八王子市石川町2970番地 コニカ株
式会社内

(72)発明者 矢部 隆司
東京都八王子市石川町2970番地 コニカ株
式会社内